

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286349

(P2000-286349A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)	
H 0 1 L	21/8247	H 0 1 L	29/78	3 7 1
	29/788		27/08	3 3 1 A
	29/792		27/10	4 3 4
	27/08			5 F 0 0 1
	27/115			5 F 0 4 8
				5 F 0 8 3

審査請求 未請求 請求項の数16 O L (全 12 頁)

(21) 出願番号 特願平11-92698

(22) 出願日 平成11年3月31日 (1999. 3. 31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 青 征 浩

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

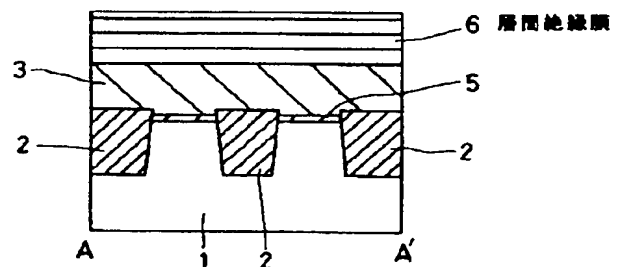
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 従来のSA-STIセル構造の形成方法におけるような導電層のエッチング残りによる短絡や、従来のトレンチ素子分離領域の形成方法におけるようなトレンチ端部の突起の発生を防止することができる半導体装置およびその製造方法を提供する。

【解決手段】 チャネル領域を有するシリコン基板1に、チャネル領域を分離するようにトレンチ9を形成し、このトレンチ9を絶縁膜で埋め込んでトレンチ素子分離絶縁膜2を形成する。チャネル領域上に、電荷蓄積層としてのONO膜5を介して、コントロールゲート3をトレンチ9と直交して形成する。コントロールゲート3の両側の部分のシリコン基板1に、イオン注入によりソース領域およびドレイン領域としての拡散層4を形成してメモリトランジスタを形成し、MONOS型半導体不揮発性記憶装置を製造する。



## 【特許請求の範囲】

【請求項 1】 チャネル領域を有する半導体基板と、上記チャネル領域を分離するように上記半導体基板上に設けられた溝に埋め込まれた素子分離用の第 1 の絶縁膜と、

上記チャネル領域上に第 2 の絶縁膜を介して上記溝と交差するように設けられたコントロールゲートと、

上記コントロールゲートの両側の部分における上記半導体基板上に設けられたソース領域およびドレイン領域とを有し、

上記コントロールゲート、上記ソース領域および上記ドレイン領域によりメモリトランジスタが構成されていることを特徴とする半導体装置。

【請求項 2】 上記第 2 の絶縁膜が電荷蓄積機能を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 上記第 2 の絶縁膜が多層絶縁膜からなることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 上記多層絶縁膜が酸化膜と窒化膜と酸化膜との積層膜であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 上記多層絶縁膜が酸化膜と窒化膜との積層膜であることを特徴とする請求項 3 記載の半導体装置。

【請求項 6】 上記溝と上記コントロールゲートとが互いに直交する方向に延在していることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 上記メモリトランジスタが複数個直列に接続されて NAND 型メモリストリングが構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 上記半導体装置が半導体不揮発性記憶装置であることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 チャネル領域を有する半導体基板と、上記チャネル領域を分離するように上記半導体基板上に設けられた第 1 の溝に埋め込まれた素子分離用の第 1 の絶縁膜と、

上記チャネル領域上に第 2 の絶縁膜を介して上記第 1 の溝と交差するように設けられたコントロールゲートと、上記コントロールゲートの両側の部分における上記半導体基板上に設けられたソース領域およびドレイン領域とを有し、

上記コントロールゲート、上記ソース領域および上記ドレイン領域によりメモリトランジスタが構成されている半導体装置の製造方法であって、

上記チャネル領域を分離するように上記半導体基板上に上記第 1 の溝を形成する工程と、

上記第 1 の溝を埋め込むように上記半導体基板上に上記第 1 の絶縁膜を形成する工程と、

上記第 1 の絶縁膜をパターニングすることにより上記第 1 の溝と交差する第 2 の溝を形成して上記チャネル領域を露出させる工程と、

少なくとも上記第 2 の溝の内部の上記チャネル領域上に上記第 2 の絶縁膜を形成する工程と、

上記第 2 の絶縁膜が形成された上記半導体基板上に上記第 2 の溝を埋め込むように導電材料を堆積させる工程と、

上記導電材料を少なくとも上記第 1 の絶縁膜が露出するまでエッチバックすることにより上記第 2 の溝の内部に上記コントロールゲートを形成する工程と、

上記第 1 の絶縁膜をほぼ上記半導体基板の表面近傍までエッチバックする工程と、

上記コントロールゲートの両側の部分における上記半導体基板上に不純物を導入することにより上記ソース領域および上記ドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】 上記第 2 の絶縁膜が電荷蓄積機能を有することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 上記第 2 の絶縁膜が多層絶縁膜からなることを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】 上記多層絶縁膜が酸化膜と窒化膜と酸化膜との積層膜であることを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 上記多層絶縁膜が酸化膜と窒化膜との積層膜であることを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 14】 上記第 1 の溝と上記コントロールゲートとが互いに直交する方向に延在していることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 15】 上記チャネル領域上の上記第 2 の絶縁膜が上記第 1 の溝および上記コントロールゲートと自己整合的に形成されることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 16】 上記半導体装置が半導体不揮発性記憶装置であることを特徴とする請求項 9 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、MIS トランジスタのゲート電極とチャネル領域との間に電荷蓄積層を有する半導体不揮発性記憶装置に適用して好適なものである。

## 【0002】

【従来の技術】電氣的に書き換え可能な半導体不揮発性記憶装置である EEPROM (Electrically Erasable and Programmable Read Only Memory) は DRAM (Dynamic Random Access Memory) などの他の半導体記憶装置と比較して 1 ビットあたりの記憶素子の面積を理論上最も小さくすることができることから、大容量の半導体記憶装置として期待され、特にフロッピーディスクなどの

磁気記憶装置の代替手段として検討が活発に行われている。このEEPROMとしては、これまでに、フローティングゲート型、MNOS (Metal-Nitride-Oxide-Semiconductor) 型あるいはMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 型、TEXTURED POLY型など、様々な特徴を有する構造のものが開発されている。

【0003】EEPROMの一つであるフローティングゲート型の半導体不揮発性記憶装置の一例の製造方法について説明する。まず、図13に示すように、シリコン基板101の表面に、例えばLOCOS (Local Oxidation of Silicon) 法により、酸化シリコンからなる素子分離絶縁膜102を形成する。

【0004】次に、図14に示すように、イオン注入を行うことにより、素子分離絶縁膜102で分離された活性領域にウェル103を形成した後、トランジスタの閾値電圧調整のためのイオン注入を行う。

【0005】次に、図15に示すように、例えば熱酸化法により、素子分離絶縁膜102で分離された活性領域の表面に酸化シリコンからなるゲート絶縁膜 (トンネル絶縁膜) 104を形成する。

【0006】次に、図16に示すように、例えばCVD (Chemical Vapor Deposition) 法により、フローティングゲート形成用の層として多結晶シリコン膜105を堆積させる。次に、この多結晶シリコン膜105上に、フォトリソグラフィ工程により、トランジスタのチャネル幅方向の幅がフローティングゲートと同一の所定形状のレジストパターン (図示せず) を形成した後、このレジストパターンをマスクとして多結晶シリコン膜105を例えば反応性イオンエッチング (RIE) 法によりエッチングしてパターニングする。

【0007】次に、図17に示すように、例えばCVD法により、上述のようにしてパターニングされた多結晶シリコン膜105を覆うように酸化膜-窒化膜-酸化膜の積層絶縁膜であるONO (Oxide-Nitride-Oxide) 膜などを全面に形成し、中間絶縁膜 (カップリング絶縁膜) 106を形成する。

【0008】次に、例えばCVD法により、中間絶縁膜106上にコントロールゲート形成用の層として多結晶シリコン膜を堆積させた後、この多結晶シリコン膜にイオン注入などにより不純物をドーピングして低抵抗化する。次に、この多結晶シリコン膜上に、フォトリソグラフィ工程により、コントロールゲートに対応する所定形状のレジストパターン (図示せず) を形成した後、このレジストパターンをマスクとして多結晶シリコン膜を例えばRIE法によりエッチングしてパターニングすることにより、図18に示すように、コントロールゲート107を形成する。このとき、コントロールゲート107のエッチング加工に引き続いてエッチングを行うことにより、中間絶縁膜106および多結晶シリコン膜105を

コントロールゲート107に対して自己整合的に加工し、フローティングゲート108を形成する。次に、コントロールゲート107をマスクとしてn型またはp型の不純物をイオン注入することにより、ソース領域およびドレイン領域として用いられる拡散層109をコントロールゲート107に対して自己整合的に形成する。次に、層間絶縁膜110の形成、層間絶縁膜110への拡散層109に達するコンタクトホール111、112の形成などを行い、図18に示すようなメモリセル構造を有する半導体不揮発性記憶装置を製造する。

【0009】この図18に示す半導体不揮発性記憶装置において、メモリトランジスタは、コントロールゲート107とシリコン基板101中のチャネル領域との間に絶縁膜で囲まれたフローティングゲート108を有する電界効果トランジスタ、すなわちMISトランジスタにより構成されている。このメモリトランジスタにおいて、フローティングゲート108はそこに電荷を保持する機能を有し、ゲート絶縁膜104および中間絶縁膜106は電荷をフローティングゲート108中に閉じ込める機能を有する。このメモリトランジスタにおいては、コントロールゲート107、シリコン基板101あるいはソース領域およびドレイン領域としての拡散層109などに適当な電圧を印加すると、ファウラー・ノルドハイム (Fowler-Nordheim) 型トンネル電流が生じ、ゲート絶縁膜104を通してシリコン基板101からフローティングゲート108へ電荷が注入され、あるいはフローティングゲート108からシリコン基板101へ電荷が放出される。

【0010】上述のようにフローティングゲート108中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。例えば、メモリトランジスタがnチャネル型であるとする、フローティングゲート108中に電荷が蓄積されることで閾値電圧が正の方向にシフトする。データの読み出し時には、所定値に設定された読み出し電圧をコントロールゲート107に印加するが、閾値電圧が正の方向にシフトしていると、読み出し電圧を印加しても、トランジスタのソース領域およびドレイン領域間にチャネル電流は流れない。一方、フローティングゲート108中の電荷が排出されている場合には、上記の読み出し電圧の印加により、トランジスタのソース領域およびドレイン領域間にチャネル電流が流れる。このチャネル電流が「流れる」あるいは「流れない」ことを「0」あるいは「1」に対応させて、データを記憶することが可能となっている。

【0011】上記の構造のメモリセルの集積化を行うと、図19の等価回路図に示すようなNOR型の回路構成となる。図19においては、四つのメモリトランジスタMT11、MT12、MT21、MT22が設けられ

ており、ワード線（コントロールゲート）WL1にメモリトランジスタMT11、MT21が接続されており、ワード線（コントロールゲート）WL2にメモリトランジスタMT12、MT22が接続されている。メモリトランジスタMT11、MT12、MT21、MT22のソース領域およびドレイン領域はそれぞれビット線BL1a、BL1b、BL2a、BL2bに接続されている。

【0012】この図19に示すNOR型の半導体不揮発性記憶装置において、例えばメモリトランジスタMT11のデータを読み出す場合には、ワード線WL1に読み出し電圧（トランジスタがnチャネル型である場合には正電圧）を印加し、ビット線BL1a、BL1b間に流れる電流を検知して「0」あるいは「1」のデータを判定する。

【0013】上記のNOR型の半導体不揮発性記憶装置に対して、メモリトランジスタが複数個直列に接続されて構成されているNAND型の半導体不揮発性記憶装置の等価回路図を図20に示す。図20に示すように、コントロールゲートCG1～CG8によりそれぞれ制御されるメモリトランジスタMT1～MT8が直列に接続されてメモリストリングが構成されている。このメモリストリングの両端には、選択ゲートSG1、SG2によりそれぞれ制御される、このメモリストリングを選択するための選択トランジスタST1、ST2が接続されている。一方の選択トランジスタST1のドレイン領域はビット線BLに接続され、他方の選択トランジスタST2のソース領域はソース線Sに接続されている。なお、図20においては、メモリトランジスタは8個接続されているが、原理的にこの個数に限定はない。

【0014】通常、上記のNAND型の半導体不揮発性記憶装置においては、データの消去はブロック単位で行われる。具体的には、消去しようとするブロックの全てのワード線（コントロールゲート）に対して消去に十分な電圧（以下、 $V_{pp}$ という）を印加し、ソース線Sに正電圧を印加することでブロック内の全てのメモリトランジスタのフローティングゲートに電荷を注入し、メモリトランジスタをエンハンスメント型（ノーマリ・オフ型）にしてデータを消去する。

【0015】所望のセルのメモリトランジスタにデータを書き込む場合には、そのメモリトランジスタのワード線を0Vに固定し、それ以外の全てのセルのメモリトランジスタのワード線にはトランジスタが導通するような電圧（以下、 $V_{cc}$ という）を印加する。次に、ビット線BLに書き込みたいデータ「0」あるいは「1」に対応する電圧を印加して、書き込みを行う。例えば、書き込みたいデータが「1」の場合には、ソース線Sに電圧 $V_{pp}$ を印加して、フローティングゲートから電荷を排出させる。これにより、このメモリトランジスタはディプリション型（ノーマリ・オン型）となる。一方、書き込

みたいデータが「0」の場合には、ソース線Sに電圧 $V_{pp}/2$ を印加する。このときには、フローティングゲートから電荷が排出あるいはフローティングゲートへ電荷が注入されないため、メモリトランジスタは消去された時の状態であるエンハンスメント型（ノーマリ・オフ型）を保持する。

【0016】データを読み出す場合には、読み出すセルのメモリトランジスタのワード線を0Vに固定し、それ以外の全てのセルのメモリトランジスタのワード線には電圧 $V_{cc}$ を印加する。ソース線Sに正電圧を印加すると、読み出すセル以外の全てのメモリトランジスタは導通状態になっているため、読み出すセルのメモリトランジスタがノーマリ・オン型あるいはノーマリ・オフ型のどちらになっているかでビット線BLに電流が「流れる」あるいは「流れない」が決まる。この電流が「流れる」あるいは「流れない」ことを「0」あるいは「1」に対応させて、データを読み出すことができる。

【0017】上述のフローティングゲート型の半導体不揮発性記憶装置は、従来、素子分離にLOCOS法を用いているが、素子の微細化が進むにつれて、バズピークの問題などから、素子分離にトレンチを用いることが検討され始めている。

【0018】しかしながら、従来のトレンチ素子分離領域の形成方法においては、その形成プロセスの問題から、トレンチ上部と活性領域およびチャネル領域との界面に、突起が副産物として形成されるため、この突起部分の電界集中により、書き込み/消去特性がばらつく原因となっている。

【0019】上述の従来のフローティングゲート型半導体不揮発性記憶装置において、フローティングゲートと素子分離領域との合わせを自己整合的に行いながら、かつトレンチ上面端部に突起が形成されない構造（以下、SA-STI（Self-aligned Shallow Trench Isolation）セル構造という）およびその形成方法が、特開平8-17948号公報に開示されている。

【0020】このSA-STIセル構造を有するフローティングゲート型のNAND型半導体不揮発性記憶装置について説明する。図21はその平面図である。図21に示すように、シリコン基板201に形成されたトレンチ素子分離絶縁膜202で分離されて活性領域が形成されている。この活性領域と、ワード線となるコントロールゲート203とが交差する領域において、コントロールゲート203とシリコン基板201のチャネル領域との間に電荷蓄積層として例えば絶縁膜で囲まれたフローティングゲート204が形成されている。また、コントロールゲート203の両側の部分におけるシリコン基板201中には、ソース領域およびドレイン領域として用いられる拡散層205が形成されている。コントロールゲート203の上層にはビット線（図示せず）がコントロールゲート203と直交する方向に形成されており、

ビットコンタクト（図示せず）において拡散層 205 に接続されている。

【0021】図 21 の A-A' 線および B-B' 線に沿っての断面図をそれぞれ図 22 および図 23 に示す。図 22 および図 23 に示すように、トレンチ素子分離絶縁膜 202 により分離されたシリコン基板 201 の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜（トンネル絶縁膜）206 が形成されており、その上層に例えば多結晶シリコンからなるフローティングゲート 204 が形成されており、さらにその上層に例えば ONO 膜からなる中間絶縁膜 207 が形成されている。中間絶縁膜 207 の上に、例えば不純物がドーピングされた多結晶シリコンからなるコントロールゲート 203 が形成されている。コントロールゲート 203 の上層に例えば酸化シリコンからなる層間絶縁膜 208 が形成されており、その上層に例えばアルミニウムからなるビット線（図示せず）が形成されている。

【0022】この図 21、図 22 および図 23 に示す構造の半導体不揮発性記憶装置において、メモリトランジスタは、コントロールゲート 203 とシリコン基板 201 中のチャネル領域との間に絶縁膜で囲まれたフローティングゲート 204 を有する電界効果トランジスタ、すなわち MIST トランジスタにより構成されている。各メモリトランジスタは NAND 型に接続され、NAND 型ストリングが構成されている。

【0023】上記の SA-STI セル構造を有するフローティングゲート型の半導体不揮発性記憶装置においても、フローティングゲート 204 中に電荷が蓄積されると、蓄積電荷による電界によりトランジスタの閾値電圧が変化し、この変化によりデータを記憶することが可能となっている。また、理論的には最小のセル面積を  $4F^2$ （ここで、 $F$  は minimum feature size）とすることができるので、セル面積を縮小し、大容量化、およびチップコスト、ビットコストの低減を図ることが可能である。

【0024】上記の SA-STI セル構造を有するフローティングゲート型の半導体不揮発性記憶装置の製造方法について説明する。まず、図 22 の A-A' 線における断面に相当する断面図により説明する。図 24 に示すように、シリコン基板 201 上に周辺素子領域とメモリセル領域との分離をするための図示省略した LOCOS 素子分離絶縁膜を形成し、さらにトランジスタの閾値電圧の調整あるいは図示省略したウェルなどの形成のためのイオン注入を行った後、例えば熱酸化法により 7~8 nm 程度の膜厚の酸化シリコンからなるゲート絶縁膜 206 を形成し、その上層に例えば CVD 法により多結晶シリコン膜 209 を 300~400 nm の膜厚で堆積させ、フローティングゲート形成用の層を形成する。

【0025】次に、図 25 に示すように、フローティングゲート形成用の多結晶シリコン膜 209 上に、フォト

リソグラフィー工程により、トランジスタのチャネル幅方向の幅がフローティングゲートと同一の所定形状のレジストパターン 210 を形成した後、このレジストパターン 210 をマスクとして多結晶シリコン膜 207 を例えば RIE 法によりエッチングしてパターンニングする。

【0026】次に、図 26 に示すように、レジストパターン 210 をマスクとして RIE 法によるエッチングを引き続いて行い、シリコン基板 201 の活性領域と自己整合的にトレンチ 211 を形成する。

【0027】次に、レジストパターン 210 を除去した後、図 27 に示すように、例えば CVD 法あるいはバイアス印加型電子サイクロトロン共鳴（ECR）プラズマ CVD 法により全面に酸化シリコンからなる絶縁膜 212 を 700~1000 nm の膜厚に堆積させることによりトレンチ 211 を埋め込む。

【0028】次に、図 28 に示すように、例えば RIE 法などにより絶縁膜 212 をエッチングして、トレンチ 211 に埋め込まれたトレンチ素子分離絶縁膜 202 をシリコン基板 201 の活性領域と自己整合的に形成する。

【0029】次に、図 29 に示すように、例えば CVD 法あるいは熱酸化法により ONO 膜などを全面に形成して中間絶縁膜 207 を形成する。

【0030】次に、図 30（平面図）、図 31（図 30 の A-A' 線に沿っての断面図）および図 32（図 30 の B-B' 線に沿っての断面図）に示すように、中間絶縁膜 207 上に例えば CVD 法により多結晶シリコン膜 213 を 300~400 nm の膜厚に堆積させ、コントロールゲート形成用の層を形成する。以下、図 30 の B-B' 線における断面に相当する断面図を用いて説明する。

【0031】図 33 に示すように、多結晶シリコン膜 213 上に、フォトリソグラフィー工程により、コントロールゲートに対応する形状のレジストパターン 214 を形成する。

【0032】次に、図 34 に示すように、レジストパターン 214 をマスクとして RIE 法などのエッチングを行うことにより、不純物がドーピングされた多結晶シリコンからなるコントロールゲート 203、中間絶縁膜 207 および多結晶シリコンからなるフローティングゲート 204 を自己整合的に形成する。このとき、図 21 に示すように、フローティングゲート 204 はコントロールゲート 203 とシリコン基板 201 の活性領域との交差する領域のみに残され、個々のメモリセル毎に分離された形状となる。

【0033】次に、図 35 に示すように、コントロールゲート 203 をマスクとして n 型または p 型の不純物を例えば  $5 \times 10^{13}/\text{cm}^2$  のドーズ量でイオン注入することにより、コントロールゲート 203 の両側の部分のシリコン基板 201 中にソース領域およびドレイン領域

としての拡散層205を自己整合的に形成する。

【0034】次に、レジストパターン214を除去した後、図23に示すように、例えばCVD法によりリンシリケートガラス(PSG)やBPSG(ホウ素リンシリケートガラス)などの酸化シリコンを堆積させて層間絶縁膜208を形成する。このようにして、図21、図22および図23に示す半導体不揮発性記憶装置を製造する。図示は省略するが、この後、例えば、層間絶縁膜208への拡散層205に達するビットコンタクトの開口、ビット線などの上層配線の形成、さらには周辺回路の形成などを行うことにより、所望の半導体不揮発性記憶装置を得る。

【0035】

【発明が解決しようとする課題】ところで、上述の従来のSA-STIセル構造の半導体不揮発性記憶装置の製造においては、パターニングされた多結晶シリコン膜209の両側にトレンチ素子分離絶縁膜202を形成するため(図28)、その後のコントロールゲート203およびフローティングゲート204を形成する工程(図34)において、図36に示すように、トレンチ素子分離絶縁膜202に囲まれた、チャネル領域とゲート絶縁膜206を介して対向しない部位の多結晶シリコン膜209を除去する必要があるが生じる。

【0036】しかしながら、実際には、このようにトレンチ素子分離絶縁膜202で囲まれた構造の中の多結晶シリコン膜209のみを除去することは非常に困難なことであり、エッチング残りを生じやすい。特に、このような構造でエッチング残りが生じやすい部位は、図37に示すように、トレンチ側壁に沿った部分であると考えられるが、このような多結晶シリコン膜209のエッチング残りが生じた場合には、隣り合ったフローティングゲート204同士が短絡した状態となり、不良となる。

【0037】特に、素子のスケールが進み、トレンチ側壁に囲まれた開口部が縮小されていった場合には、エッチング装置におけるマイクロローディング効果やエッチングされた分子の排気の効率の問題などから、さらなる困難が予想される。

【0038】したがって、この発明の目的は、従来のSA-STIセル構造の形成方法におけるような導電層のエッチング残りによる短絡や、従来のトレンチ素子分離領域の形成方法におけるようなトレンチ端部の突起の発生を防止することができる半導体装置およびその製造方法を提供することにある。

【0039】

【課題を解決するための手段】上記課題を解決するために、この発明の第1の発明による半導体装置は、チャネル領域を有する半導体基板と、チャネル領域を分離するように半導体基板に設けられた溝に埋め込まれた素子分離用の第1の絶縁膜と、チャネル領域上に第2の絶縁膜を介して溝と交差するように設けられたコントロールゲ

ートと、コントロールゲートの両側の部分における半導体基板に設けられたソース領域およびドレイン領域とを有し、コントロールゲート、ソース領域およびドレイン領域によりメモリトランジスタが構成されていることを特徴とする。

【0040】この発明の第2の発明は、チャネル領域を有する半導体基板と、チャネル領域を分離するように半導体基板に設けられた第1の溝に埋め込まれた素子分離用の第1の絶縁膜と、チャネル領域上に第2の絶縁膜を介して第1の溝と交差するように設けられたコントロールゲートと、コントロールゲートの両側の部分における半導体基板に設けられたソース領域およびドレイン領域とを有し、コントロールゲート、ソース領域およびドレイン領域によりメモリトランジスタが構成されている半導体装置の製造方法であって、チャネル領域を分離するように半導体基板に第1の溝を形成する工程と、第1の溝を埋め込むように半導体基板上に第1の絶縁膜を形成する工程と、第1の絶縁膜をパターニングすることにより第1の溝と交差する方向に延在する第2の溝を形成してチャネル領域を露出させる工程と、少なくとも第2の溝の内部のチャネル領域上に第2の絶縁膜を形成する工程と、半導体基板上に第2の溝を埋め込むように導電材料を堆積させる工程と、導電材料を少なくとも第1の絶縁膜が露出するまでエッチバックすることにより第2の溝の内部にコントロールゲートを形成する工程と、第1の絶縁膜をほぼ半導体基板の表面近傍までエッチバックする工程と、コントロールゲートの両側の部分における半導体基板に不純物を導入することによりソース領域およびドレイン領域を形成する工程とを有することを特徴とする。

【0041】この発明において、第2の絶縁膜は電荷蓄積機能を有する。この第2の絶縁膜は、典型的には多層絶縁膜からなり、具体的には、例えば、酸化膜と窒化膜と酸化膜との積層膜(ONO)膜や、酸化膜と窒化膜との積層膜(NO)膜である。電荷蓄積層としてこの多層絶縁膜を用いる場合、この多層絶縁膜中の電荷トラップに電荷が保持される。

【0042】この発明において、典型的には、半導体基板に設けられた溝あるいは第1の溝とコントロールゲートとは、互いに直交する方向に延在して形成される。

【0043】この発明において、好適には、メモリトランジスタが複数個直列に接続されてNAND型メモリストリングが構成される。このNAND型回路構成は、半導体不揮発性記憶装置の高集積化、素子の微細化に有利である。

【0044】この発明において、チャネル領域上の第2の絶縁膜は、半導体基板に設けられた溝あるいは第1の溝およびコントロールゲートと自己整合的に形成される。

【0045】この発明において、半導体装置は、半導体

不揮発性記憶装置のほか、一部に半導体不揮発性記憶部を含む各種の半導体装置であってよい。

【0046】この発明による半導体不揮発性記憶装置においては、メモリトランジスタは、コントロールゲートと半導体基板中のチャネル領域との間に電荷蓄積層として第2の絶縁膜を有する。このメモリトランジスタにおいて、コントロールゲート、半導体基板あるいはソース領域およびドレイン領域などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、電荷蓄積層としての第2の絶縁膜に電荷が注入される。このようにして第2の絶縁膜に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。

【0047】上述のように構成されたこの発明によれば、従来のSA-STIセル構造の形成方法におけるように、トレンチ素子分離絶縁膜に囲まれた、チャネル領域とゲート絶縁膜を介して対向しない部位の導電層を除去する工程がなくなるので、導電層のエッチング残りの問題が発生しない。また、従来のトレンチ素子分離領域の形成方法におけるようなトレンチ端部の突起の発生もない。

【0048】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0049】この一実施形態による半導体不揮発性記憶装置は、SA-STIセル構造を有するMONOS型半導体不揮発性記憶装置である。図1はその平面図である。

【0050】図1に示すように、この一実施形態による半導体不揮発性記憶装置においては、シリコン基板1に形成された例えばSiO<sub>2</sub>膜からなるトレンチ素子分離絶縁膜2で分離されて活性領域が形成されている。この活性領域と、ワード線となるコントロールゲート3とが交差する領域において、コントロールゲート3とシリコン基板1のチャネル領域との間に、電荷蓄積層としてONO膜が形成されている。また、コントロールゲート3の両側の部分におけるシリコン基板1中には、ソース領域およびドレイン領域として用いられる拡散層4が形成されている。コントロールゲート3の上層にはビット線（図示せず）がコントロールゲート3と直交する方向に形成されており、ビットコンタクト（図示せず）において拡散層4に接続されている。なお、電荷蓄積層としてのONO膜は、ソース領域およびドレイン領域として用いられる拡散層4およびトレンチ素子分離絶縁膜2の表面全体に存在しても問題はなく、電荷蓄積層として機能するのは、コントロールゲート3とチャネル領域とが交差する部位のみである。

【0051】図1の平面図のA-A'線に沿っての断面図を図2に、B-B'線に沿っての断面図を図3に示す。図2および図3に示すように、トレンチ素子分離絶縁膜2により分離されたシリコン基板1の活性領域上にONO膜5が電荷蓄積層として形成されており、このONO膜5上に、例えば不純物がドーパされた多結晶シリコンからなるコントロールゲート3が形成されている。コントロールゲート3上に例えば酸化シリコンからなる層間絶縁膜6が形成されており、その上に例えばアルミニウムからなる図示省略したビット線が形成されている。

【0052】この図1、図2および図3に示す構造の半導体不揮発性記憶装置において、メモリトランジスタは、コントロールゲート3とシリコン基板1中のチャネル領域との間に電荷蓄積層としてONO膜5を有する電界効果トランジスタ、すなわちMISTランジスタにより構成されている。各メモリトランジスタはNAND型に接続され、NAND型ストリングが構成されている。

【0053】このMONOS型の半導体不揮発性記憶装置において、ONO膜5は膜中に電荷を保持する機能を有する。コントロールゲート3とシリコン基板1あるいはソース領域およびドレイン領域としての拡散層4などに適当な電圧を印加すると、ファウラー・ノルドハイム型トンネル電流が生じ、シリコン基板1からONO膜5へ電荷が注入され、このようにしてONO膜5中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、ONO膜5中に電子を蓄積することでデータの書き込みを行うことができ、また、ONO膜5中に正孔を蓄積することでデータの消去を行うことができる。

【0054】この一実施形態によるMONOS型不揮発性半導体記憶装置は、例えば図20の等価回路図に示すようなNAND型の回路構成とすることができる。ここで、図20における選択トランジスタST1、ST2は、ソースコンタクトやビットコンタクトとメモリトランジスタのNAND列との間に形成する。

【0055】次に、上述のように構成されたこの一実施形態による半導体不揮発性記憶装置の製造方法について説明する。まず、図1のA-A'線における断面に相当する断面図により説明する。図4に示すように、シリコン基板1上に周辺素子領域とメモリセル領域との分離をするための図示省略したLOCOS素子分離絶縁膜を形成し、さらにトランジスタの閾値電圧調整あるいは図示省略したウェルなどの形成のためのイオン注入を行った後、例えば熱酸化法によりシリコン基板1の表面に例えば10～30nm程度の膜厚の酸化シリコンからなるパッファ層7を形成する。

【0056】次に、図5に示すように、パッファ層7上に、フォトリソグラフィ工程により、STIによる素



子分離領域に対応した形状のレジストパターン8を形成し、このレジストパターン8をマスクとしてバッファ層7およびシリコン基板1を例えばRIE法などによりエッチングすることによりトレンチ9を形成する。

【0057】次に、図6に示すように、レジストパターン8を除去し、続いてバッファ層7をウエットエッチングなどで除去した後、例えばCVD法あるいはバイアスECRプラズマCVD法により全面に酸化シリコンからなる絶縁膜10を例えば700~1000nmの膜厚で堆積させてトレンチ9を埋め込む。このとき、熱酸化法などによりトレンチ9の表面およびシリコン基板1の表面に5~20nm程度の膜厚の酸化シリコン膜を形成した後、この絶縁膜10の堆積を行ってもよい。

【0058】次に、図6に示す工程の続きを、図1のB-B'線における断面に相当する断面図により説明する。すなわち、図7に示すように、絶縁膜10上に、フォトリソグラフィ工程により、コントロールゲート形成領域に対応する部分が開口した形状のレジストパターン11を形成し、このレジストパターン11をマスクとして例えばRIE法などにより絶縁膜10をエッチングすることにより、トレンチ9と直交した溝12を形成する。なお、溝12の深さはシリコン基板1の表面までの深さである。

【0059】次に、レジストパターン11を除去した後、図8に示すように、例えばCVD法あるいは熱酸化法により、電荷蓄積層としてのONO膜5を全面に形成する。このONO膜5の厚さについては特に制限はないが、例えば酸化膜換算で8~20nm程度である。

【0060】次に、図9に示すように、ONO膜5上に、例えばCVD法により多結晶シリコン膜13を100~200nmの膜厚で堆積させた後、この多結晶シリコン膜13に不純物をドーピングして低抵抗化し、コントロールゲート形成用の層を形成する。

【0061】次に、図10に示すように、RIE法などのエッチング法を用いて少なくともONO膜5が露出するまでエッチバックを行うことにより、溝12の内部に埋め込まれた状態でコントロールゲート3を形成する。

【0062】次に、図11に示すように、シリコン基板1の全面に堆積させたONO膜5および絶縁膜10を、例えばRIE法などを用いてエッチバックする。このエッチバックは、シリコン基板1の表面まで行ってもよいし、絶縁膜10が例えば数nm~数十nm程度の膜厚残る程度まで行ってもよい。このようにして、シリコン基板1に形成されたトレンチ9に埋め込まれたトレンチ素子分離絶縁膜2が形成される。このトレンチ素子分離絶縁膜2の形成においては、従来のトレンチ素子分離におけるようなトレンチ端部の突起の形成を防止することができる。

【0063】次に、図12に示すように、コントロールゲート3をマスクとしてn型またはp型の不純物をシリ

コン基板1中にイオン注入することにより、コントロールゲート3の両側の部分のシリコン基板1中にソース領域およびドレイン領域としての拡散層5を自己整合的に形成する。例えば、メモリトランジスタとしてnチャネルMOSトランジスタを用いる場合には、リンのようなn型不純物を $5 \times 10^{13}/\text{cm}^2$ のドーズ量でイオン注入する。

【0064】次に、例えばCVD法によりPSGやBPSGなどの酸化シリコンを全面に堆積させて層間絶縁膜6を形成する。このようにして、図1、図2および図3に示す半導体不揮発性記憶装置を製造する。図示は省略するが、この後、例えば、層間絶縁膜6への拡散層5に達するビットコンタクトの開口、ビット線などの上層配線の形成、さらには周辺回路の形成などを行うことにより、所望の半導体不揮発性記憶装置を得る。

【0065】以上のように、この一実施形態によれば、上述の従来のSA-STIセル構造の形成方法におけるように、トレンチ側壁部の導電層のエッチングをする工程がないので、このトレンチ側壁部の導電層のエッチング残りの問題がなく、したがってこのエッチング残りによる不良の問題がなくなる。また、従来のトレンチ素子分離におけるようなトレンチ端部の突起の形成を防止することができる。また、この一実施形態によるMONOS型半導体不揮発性記憶装置は構造が極めて簡単であり、製造工程も極めて簡単である。しかも、電源電圧は例えば7~8V程度と低くすることができ、寿命もフローティングゲート型半導体不揮発性記憶装置よりも2~3桁程度長い。さらに、板に設けられた溝に第1の絶縁膜が埋め込まれたトレンチ素子分離絶縁膜2により素子分離を行っていることにより、LOCOS素子分離絶縁膜による素子分離よりもセル面積を縮小することが可能であり、メモリセルの高集積密度化を図ることができる。

【0066】以上、この発明の一実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0067】例えば、上述の一実施形態において挙げた数値、構造、材料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これと異なる数値、構造、材料、プロセスなどを用いてもよい。

【0068】具体的には、上述の一実施形態においては、コントロールゲート3を多結晶シリコン膜単層で構成しているが、必要に応じて、例えば多結晶シリコン膜と金属シリサイド膜との積層膜による多層構造としてもよい。また、上述の一実施形態においては、電荷蓄積層としてONO膜5を用いているが、電荷蓄積層としては例えばNO膜を用いてもよい。また、メモリトランジスタの構造としては、上述の一実施形態において用いたものと異なる構造、例えばLDD (Lightly Doped Drain)

構造などの種々の構造を採用することができる。

【0069】また、上述の一実施形態においては、NAND型の半導体不揮発性記憶装置について説明したが、ソースコンタクト、ビットコンタクト、トレンチ素子分離および配線の配置いかんによっては、NAND型、NOR型どちらでもよく、さらにDINOR型とすることもできる。また、電荷蓄積層への電荷の注入は、データの書き込み、消去のどちらに相当する場合でも構わない。

【0070】より具体的には、例えば、図19の等価回路図に示すようなNOR型の回路構成とすることも可能である。このNOR型回路構成は、例えば、図3において図中右側および左側にそれぞれ形成された二つのメモリトランジスタの間に形成されて両トランジスタで共有されている、ソース領域およびドレイン領域としての拡散層4を両トランジスタで共有しないように形成することなどで、実現することができる。

【0071】

【発明の効果】以上説明したように、この発明によれば、従来のSA-STIセル構造の形成方法におけるような導電層のエッチング残りによる短絡や、従来のトレンチ素子分離領域の形成方法におけるようなトレンチ端部の突起の発生を防止することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置を示す平面図である。

【図2】図1のA-A'線に沿っての断面図である。

【図3】図1のB-B'線に沿っての断面図である。

【図4】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図5】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図6】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図7】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図8】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図9】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図10】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図11】この発明の一実施形態によるMONOS型半

導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図12】この発明の一実施形態によるMONOS型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図13】従来のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図14】従来のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図15】従来のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図16】従来のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図17】従来のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図18】従来のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図19】NOR型回路構成の半導体不揮発性記憶装置を示す等価回路図である。

【図20】NAND型回路構成の半導体不揮発性記憶装置を示す等価回路図である。

【図21】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置を示す平面図である。

【図22】図21のA-A'線に沿っての断面図である。

【図23】図21のB-B'線に沿っての断面図である。

【図24】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図25】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図26】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図27】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図28】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図29】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図30】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための平面図である。

【図31】従来のSA-STIセル構造のフローティン

グゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図32】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図33】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図34】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明するための断面図である。

【図35】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法を説明す

るための断面図である。

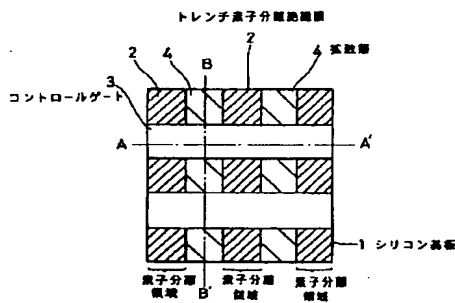
【図36】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法の問題点を説明するための斜視図である。

【図37】従来のSA-STIセル構造のフローティングゲート型半導体不揮発性記憶装置の製造方法の問題点を説明するための斜視図である。

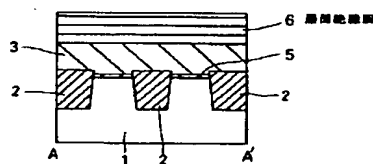
【符号の説明】

1・・・シリコン基板、2・・・トレンチ素子分離絶縁膜、3・・・コントロールゲート、4・・・拡散層、5・・・ONO膜、6・・・層間絶縁膜、9・・・トレンチ、13・・・多結晶シリコン膜

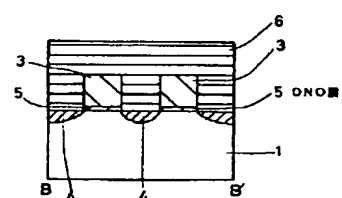
【図1】



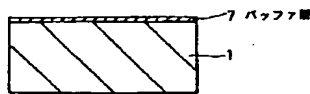
【図2】



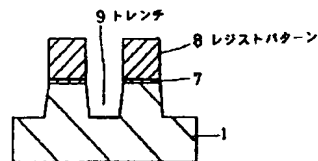
【図3】



【図4】



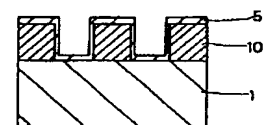
【図5】



【図6】

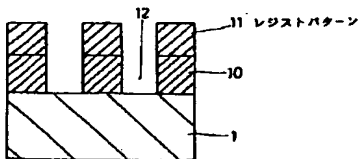


【図8】

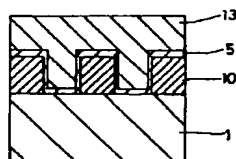


【図11】

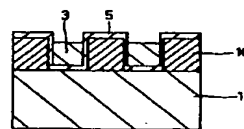
【図7】



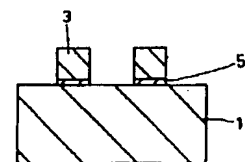
【図9】



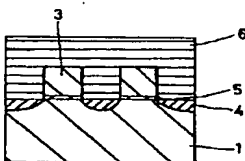
【図10】



【図15】



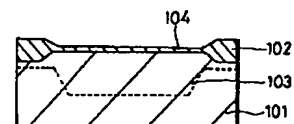
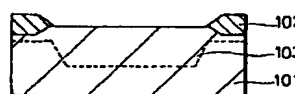
【図12】



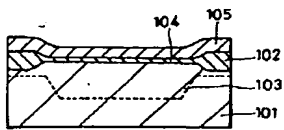
【図13】



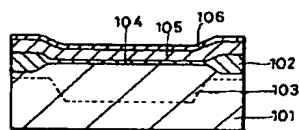
【図14】



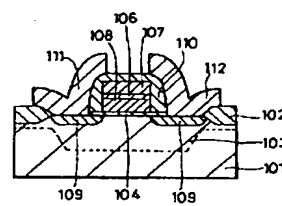
【図 16】



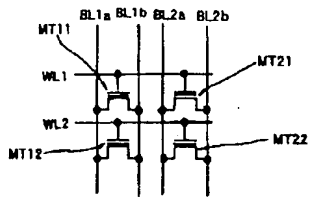
【図 17】



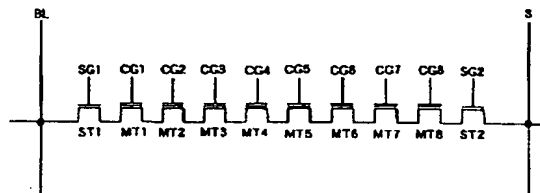
【図 18】



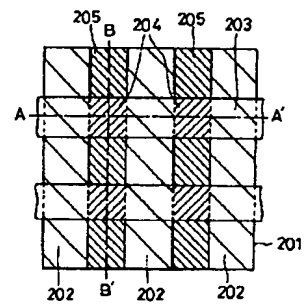
【図 19】



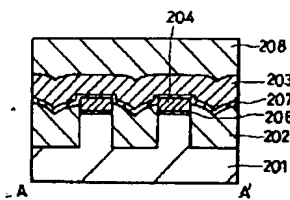
【図 20】



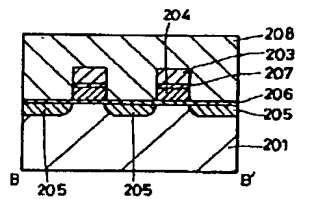
【図 21】



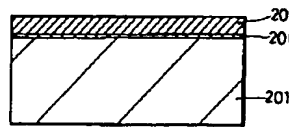
【図 22】



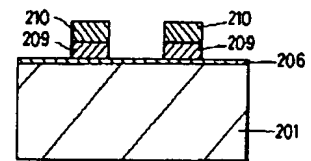
【図 23】



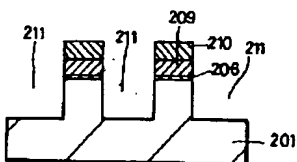
【図 24】



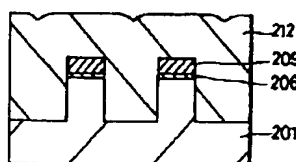
【図 25】



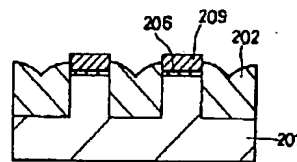
【図 26】



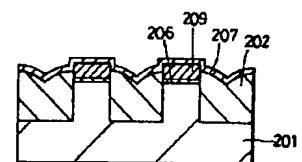
【図 27】



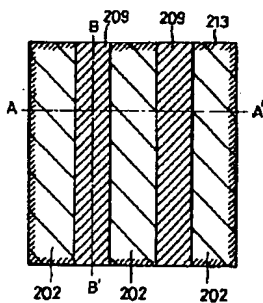
【図 28】



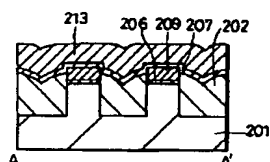
【図 29】



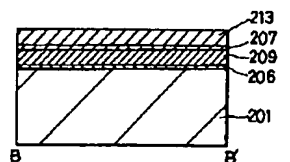
【図 30】



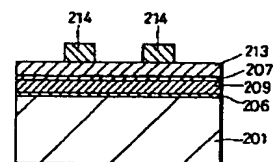
【図 31】



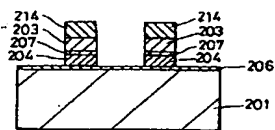
【図 32】



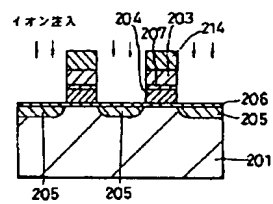
【図 33】



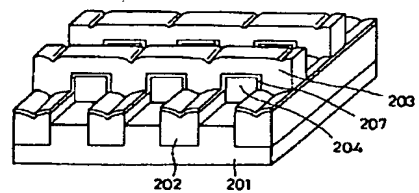
【図34】



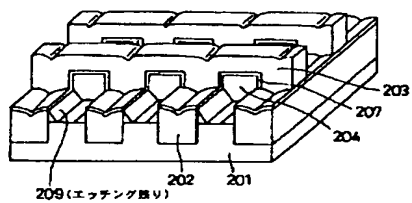
【図35】



【図36】



【図37】



フロントページの続き

Fターム(参考) 5F001 AA14 AB02 AC02 AD12 AD53  
 AG03 AG07  
 5F048 AA07 AA09 AB01 AC01 BA01  
 BB05 BB15 BG01 BG11  
 5F083 EP22 EP43 EP76 EP77 ER03  
 ER14 ER21 ER30 GA27 JA05  
 NA01 PR03 PR21 PR29 PR39